

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01179334
 PUBLICATION DATE : 17-07-89

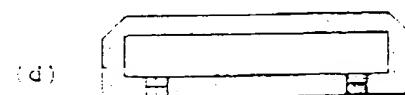
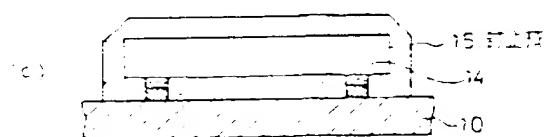
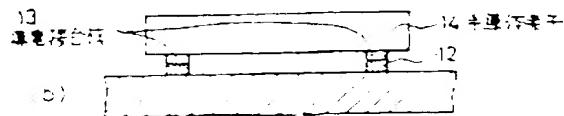
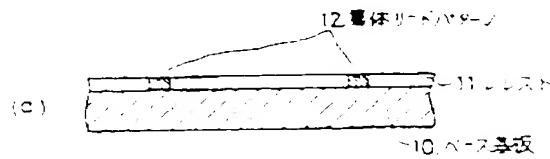
APPLICATION DATE : 05-01-88
 APPLICATION NUMBER : 63000459

APPLICANT : CITIZEN WATCH CO LTD:

INVENTOR : IINUMA YOSHIO:

INT.CL. : H01L 21/60 H01L 21/56

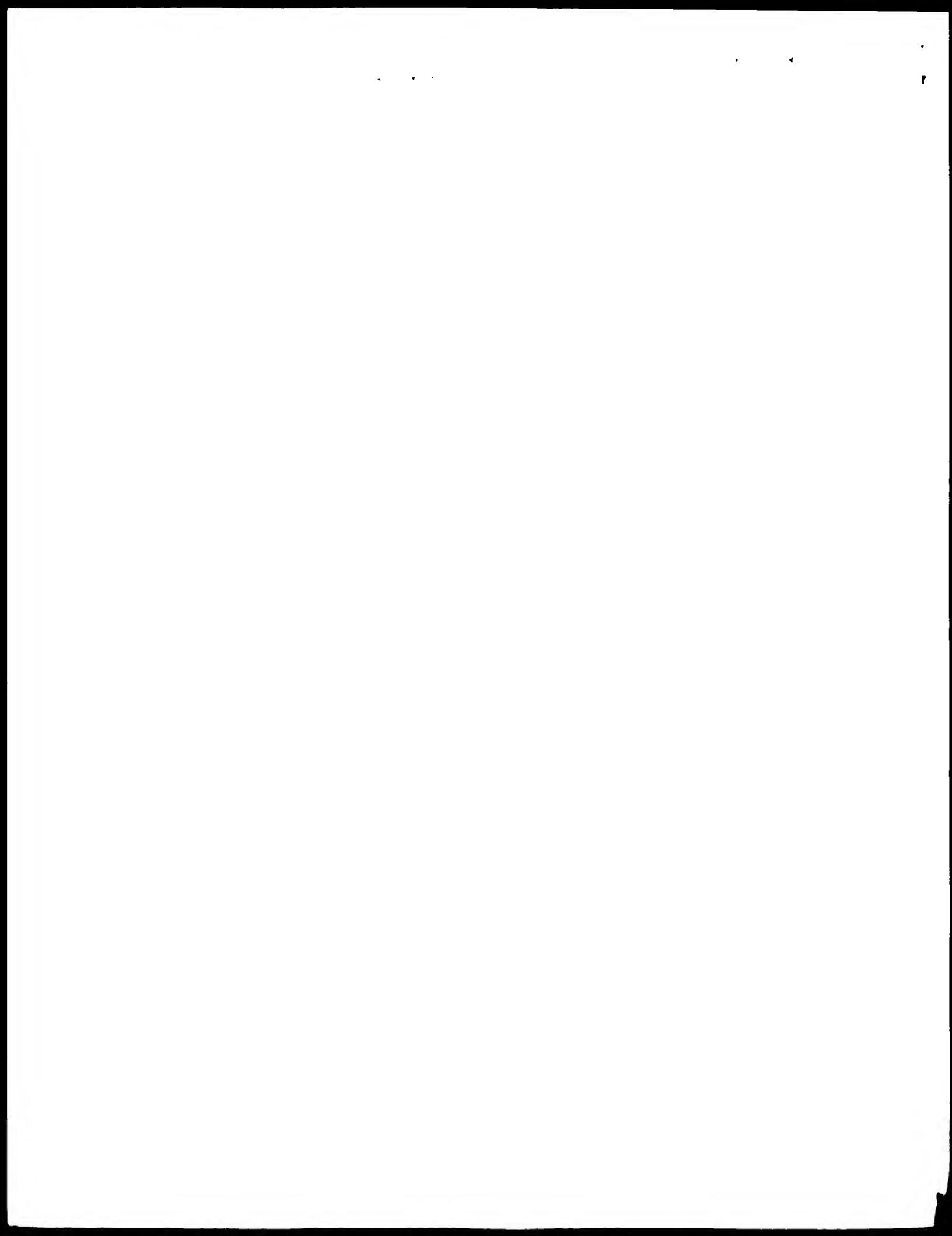
TITLE : MOUNTING OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To form a lead structure whose lead part is sufficiently thin, where an interval is fine and which is comparatively strong by a method wherein, after a lead pattern for external connection use of a semiconductor device electrode has been formed on a substrate, a bare chip of a semiconductor device has been bonded onto the lead pattern in a facedown manner, this semiconductor device is sealed by using a sealing material such as a resin or the like and only the substrate is removed.

CONSTITUTION: A resist 11 for conductor lead pattern formation use is formed on one face of a substrate 10 of aluminum, stainless steel or the like; after that, openings are made in this resist 11; conductor lead patterns 12 composed of copper, aluminum, an alloy of these or the like are formed in the openings by an electrolytic plating method or the like. Then, the resist 11 is removed; after that the semiconductor device 14 is bonded onto the conductor lead patterns 12 in a facedown manner by using a conductive bonding material 13 such as a solder, a conductive paste or the like. After that, the semiconductor device 14 is covered wholly with a sealing material 15 such as a resin-based material or the like; a gap between the semiconductor device 14 and the base substrate 10 is filled. Then, the base substrate 10 is removed; a package of the semiconductor device is completed.

COPYRIGHT: (C)1989,JPO&Japio



体電子 1-4 を封止した封止材 1-5 の側部からリードフレーム 4-1 が突出し、また封止材 1-5 はボンディングタワイヤー 4-3 を巻きようとするためリードフレーム 4-1 の厚さのために巻き方向に封止材が厚くなることから、バッケージは裏装面に對し左半方向にも垂直方向にも面積或は体積を占有してしまう。バッケージのサイズの小型化を計る方法としては、リードピッチを微細化するリードフレーム部を簡略或は省略する、或は半導体素子チップの裏装はベースを小さくする等が考えられる。

現在、表面実装用バーチャーのリードフレーム用の板厚は 0.1 ~ 0.2 mm のニッケル - 鋼合金系のものが多用されている。ニッケルの微細化を計りリード直径を 0.5 mm 以下にしようとするリードフレームは 0.1 mm 前後にならが、このとき板厚を薄くしなくてエッチングによるバーニングができない。

しかし、板厚を薄くして同様のリードフレームを形成するとリード強度が低下して取扱いが複雑になる等の問題点がある。

容易さ及び封止材とリードパターンとの密着性を強調にすることが作業性及びリード部分に要求される強度のうえからナットとなる。ベース基板除去の容易さの点についてはエッチャングによる除去の場合、リードパッター及びベース基板の材料に応じてベース基板のみを選択エッチャングできるエッチャング液を使用すれば良い。またピーリングによる除去の場合では、ベース基板材料とパターン材料或は封止材料との密着力が弱い材料を選択するか、又はベース基板上に剥離層を設ける等の方法で同様の効果をもたらせばよい。

例えば、リードバターを鋼メタルで形成させると報告、鋼との密着性が弱い材料としてはチタニウム等があるのでベース基板上に剥離層としてのチタニウム層を形成し、その上に鋼メタル層を形成しバーニングを行なえば後工程においてベース基板の除去が容易となる。封止材とリードバターとの密着性を強固にする点については封止材とリードバターとの密着性が強固な材料を選択するか、又はリードバターの層を封止材と接する

〔發行處〕

本発明の目的は上記のような問題点を着目して、リード部の厚さが十分薄く、微細化されたりとも比較的強固なリード構造を有し、半導体素子の多ピン化に対応できる高密度実装に適した小型・超薄型パッケージの実装方法を提供することにある。

〔亮明の様成〕

上記目的を達成するため本発明の半導体素子の実装方法においては、金具等のベース基板上に半導体素子電極の外部接続用リードパターを形成し、その上で半導体素子ヘテロラップをフェイクタウル・ボンディング等の方法でボンディングした後、この半導体素子を樹脂等の封止材により封止する。

次にリードパートのを形成したペース基板のみをエッチング或はピーリング等により除去することで、鉄正材とリードパートが一体化したシスターを形成させる。

〔作用〕

このバッケーフィング法では、ベース基板除去の

に剥離力を増加させる（例えば封止材に無い迄も様な）形状で形成させること等で、一枚を強面に保持する事が可能である。

英施例

以下図面に基づき本発明の実施例を説明する。

第1図はフェイスボウルボンディングにより半導体素子を実装する場合のパッケージング工程を示した断面図である。第2図は図1に示すように鉛、アルミニウム、ステンレス等の材質で厚さ0.1~3mm程のベース基板10の片面に導体リードパッケージ形成用の感光性樹脂であるレジスト、11を形成した後に、このレジスト、11に導体リードパッケージ形成用の開口部を形成し、露開口部に電極タッキ等の方法で厚さ5~50μm程の鉛、アルミニウムあるいはこれらの合金等からなる導体リードパッケージ12を形成する。

次に第1回目に示すよアレルス・1-1の世状が
生出、導管ノースト等の導管接合部から用いて
半導体素子、4を導体リードハーネス1-2上へ
は、スダクションポンプで吸出す。これは、導管の

に示すように樹脂系材料等の封止材 15 によって導体素子 14 全体を覆い、かつ導体素子 14 とベース基板 13 との間を埋めるよる充填部 16 。

左記の事は、基準をもつて測定し、算出される表示する。被測定結果は、測定の精度を完成する。ハーフ基準 1.0 の除去方法は、機械的ピーリング、酸類等の薬品による湿式エッティング等アセチル・イオノン、エッティング（酸）等による乾式エッティングなどとの種々方法でもよい。

第1図における導体リードパター1-2はパッケージの回路基板上へのボンディングの仕様に応じて、半導体素子の外部引き出し用電極と同じ配置、抑止材の外側よりも外側に引き出した配置、半導体素子の外部引き出し用電極よりも内側に引き出した配置或はそれらを組み合せた配置に形成する。左側の導体リードパター1-2は、右側の導体リードパター1-2と並んで、左側の導体リードパター1-2の外側に形成する。

第2図(a), (b), (c)は導体リードパターンのリードの引き出し方法を示す平面図、及び第2図(d), (e), (f)はそれぞれ(a), (b), (c)の引出し部の拡大図である。

また、上記第2段(a)、(b)、(c)の導体リードバターンは組み合せる事で可能である。

第三回はペース基板除去を容易にするための剥離層を設け、また剥離層によってリードパッケージを保護する構造とする事で良品率を上げた。

セラミック窯を用いて、セラミックの「一」基底、上にセラミックの「二」を形成する。基礎層「C」は焼玉粉で充填する導体「A」のバターン「1」、「2」に埋め、焼成後、先は導体「A」のバターン「2」を剥、シチウムを形成させる場合、鋼との密着力が弱、材料としてのセラミックを用いて直接、スパッタ法で焼付により導体「A」の上に直接で充填する。更に導体「C」より

表面に充てて敷設される半導体素子のパッケージの断面図である。第2回時は、後工程で形成される封止材の外寸 1.6 よりも内側の半導体素子の外側引き出し用電極と共に配置の導体リードパッケージ

120を形成した実施例で、この生産製造される半導体素子のパッケージは第2回(a)に示す断面形状のようになる。第2回(b)は、後工程で取りされる封止材の外周16よりも外側に、導体リードバターン12を引き出す形状にした実施例で、この場合製造される半導体素子のパッケージは第2回(c)に示す断面形状になる。このとき封止材15から外部へ引き出された導体リードバターン12はパッケージの回路基板上へのポンディングの生産に応じて、切断或は折り曲げ等の加工をすることも可能となる。第2回(d)は、後工程で形成される封止材の全周16よりも内側の半導体素子の外端引き出し用電極よりも更に内側に、導体リードバターン12を引き出す形状にした実施例で、この場合製造される半導体素子のパッケージは第2回(d)に示す断面形状になる。

導体リードバター 1.2 上に導電接着材 1.3 を用いて接着する。続いて第 3 図中に示すように、半導体素子 1.4 全体を覆うように封止材 1.5 で封止する。

このとき先に形成した導体リードワイヤー 1 2 の被覆部を剥き出し部記の下側にも封止材 1 5 が巻き、導体リードワイヤー 1 2 はこの壁面に封止材 1 5 と一体化保持されることになる。更にベース基板 1 0 及び剥離層 3 0 を封止材 1 5 と重複層 3 0 との界面から除去し、第3回に示すようにパッケージ 1 を完成する。ベース基板 1 0 及び剥離層 3 0 の除去方法は、機械的ドリル等、伝統的な方法による剥離方式、またはグリーンマスカル

特開平1-179334(4)

低いので、より半導体素子サイズに近いパッケージを提供することが可能である。

(発明の効果)

上述のように本発明による半導体素子の実装方法では、通常の表面実装用半導体素子パッケージに比較してパッケージの実装面積或は体積を小さくすることができるため表面実装において効率的な実装方法を提供することができる。更にリードパターンを封止材料と一体化させ保持することで強度を持たせながらリードパターン厚を5~50μm程度に薄く最細ピッチで完成することができるため、半導体素子の多ビッチ化に対応できる実装方法を可能とする。

従って高密度な表面実装に適応した半導体装置を提供する上に、更にはベース・チャップの使いにくく多チップ搭載ボード製品、例えばICカード、メモリーカード等の実装に有用といった効果がある。

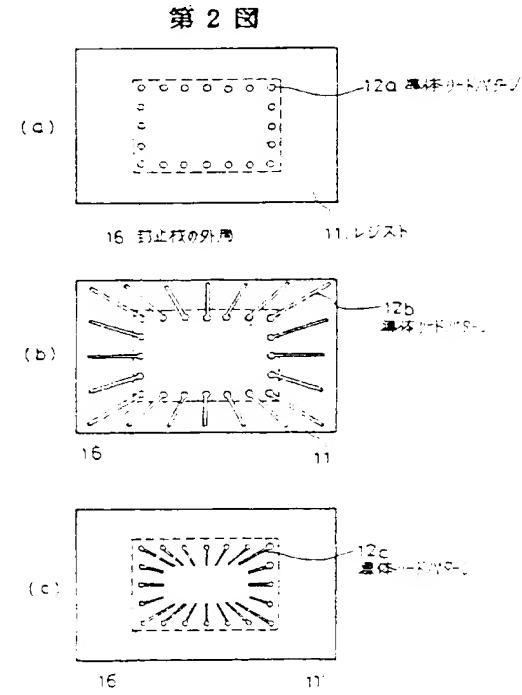
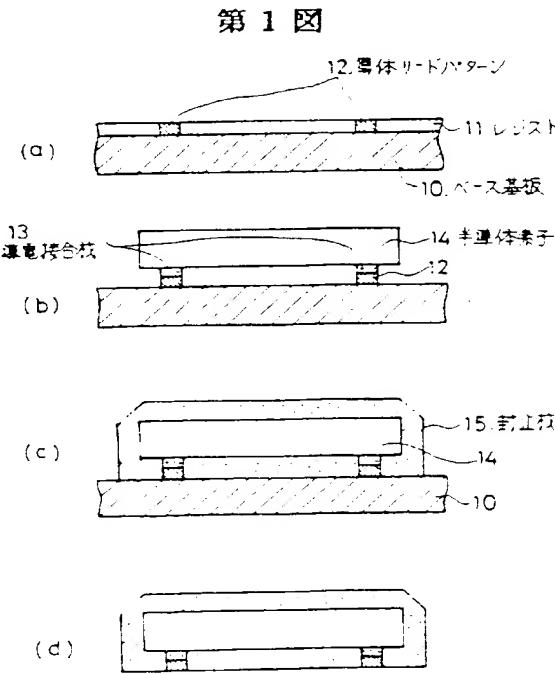
4. 図面の簡単な説明

第1図、第2図はいずれも本発明の実施例にお

ける製造工程を示す断面図、第3図は、(a)、(b)、(c)および(d)、(e)、(f)は本発明の実施例におけるそれぞれ平面図および断面図、第4図は從来例を示す断面図である。

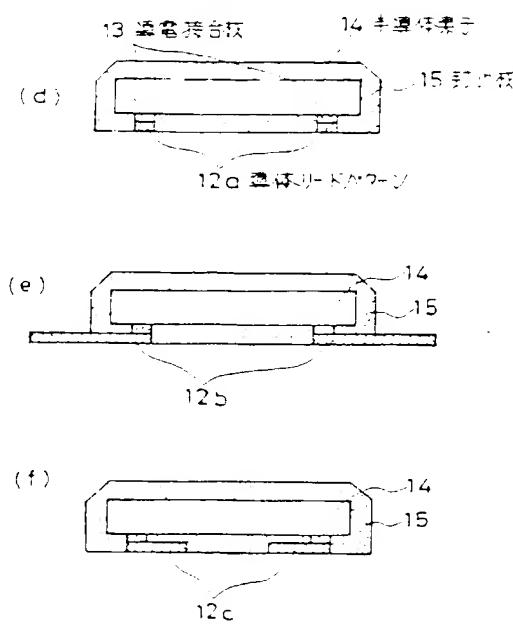
- 1.0 ……ベース基板、
- 1.1 ……レジスト、
- 1.2 ……導体リードパターン、
- 1.3 ……導電接着材、
- 1.4 ……半導体素子、
- 1.5 ……封止材、
- 1.6 ……封止材の外周部、
- 3.0 ……剥離層、
- 4.0 ……ガーディングワイヤー、
- 4.1 ……リードフレーム。

特許出願人 ジャパン時計株式会社

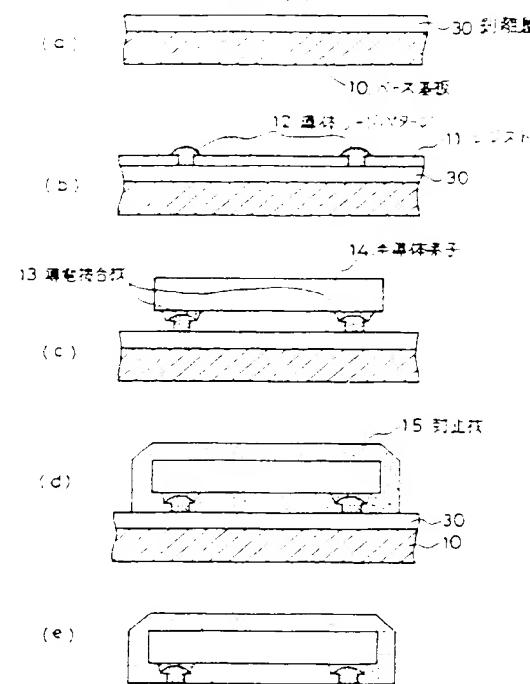


特開平1-179334(5)

第2図



第3図



第4図

